Bài tập/Thực hành 7

CHƯƠNG 4 KIẾN TRÚC MIPS: PIPELINE

Võ Đình Thanh-1912041

1.

a.

single clock = 203

multi clock = 50\*2 + 102\*4 + 51\*3= 661

pipeline = 203+4 = 207

b.

single clock = 203 \* (150+100+100+150)=101500ns

multi clock = 50\*(150+100) + 102\*(150+100+100)+ 51\*(150+100+100) = 66050ns

pipeline = (203+4)\*150 = 31050ns

c.

speedup pipline so với multi cycle = 2.13

speedup pipline so với single cycle = 3.27

d.

Thời gian thực thi khi delay ALU thay đổi từ 100 -> 150

single clock = 203 \* (150+100+150+150)=111650ns

multi clock = 50\*(150+100) + 102\*(150+150+100)+ 51\*(150+150+100) = 73700ns

pipeline = 31050ns

2.

a.Dòng 4 sử dụng $t2 ở dòng 2

Dòng 5 sử dụng $t1 ở dòng 4

Dòng 6 sử dụng $t2 ở dòng 2

Dòng 4 sử dụng $t1, $t2 ở dòng 5 và dòng 6

b.

100 stall

c.

Do không có lệnh load nên không cần chèn stall

e.

Không có cách sắp xếp lệnh để ít stall hơn trong đoạn code trên.

3.

a. Dòng 3 sử dụng $t1, $t2 ở dòng 1,2

Dòng 6 sử dụng $t4, $t5 ở dòng 4,5

Dòng 7 sử dụng $t6 ở dòng 6

b.

4 stall

c.

1 stall

1 F D E M W(t1)

2 F D E M W(t2)

3 F D(t1,t2) E M W(t3)

4 F D E M W(t4)

5 F D E M W (t5)

6 F stall D(t4,t5) E M W(t6)

7 F D E M W(t6)

d.

1 addi $t1, $zero, 100

2 addi $t2, $zero, 100

3 lw $t4, 0($a0)

4 lw $t5, 4($a0)

5 add $t3, $t1, $t2

6 and $t6, $t4, $t5

7 sw $t6, 8($a0)